

**BUMP OF SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**

Patent Number: JP10189606  
Publication date: 1998-07-21  
Inventor(s): KANBE TOSHIFUMI  
Applicant(s): MIYAZAKI OKI ELECTRIC CO LTD;; OKI ELECTRIC IND CO LTD  
Requested Patent: ☐ JP10189606  
Application Number: JP19960343007 19961224  
Priority Number(s):  
IPC Classification: H01L21/321; H01L21/3205  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PROBLEM TO BE SOLVED:** To prevent the generation of disconnection, which is caused due to a bad coverage, of a barrier metal film and also to prevent a stress from being concentrated on opening parts at the time of forming the barrier metal film and moreover, to make it possible to prevent a passivation film from being broken.

**SOLUTION:** A metal pad 22 is formed on a semiconductor substrate 2 and after a passivation film 23 is formed on the whole surface of the substrate 21, the formation of connection holes for connecting the pad 22 with Au bumps is conducted, but at this time, the film 23 in open parts is not completely etched by a first photolithography/etching to leave the film 23. After that, photolithography/etching is applied to an area whose size is smaller than the diameter of the first opening in the film 23 and openings are formed stepwise. Then, a metal film 24, which is used as a barrier metal film or the like for the Au bumps use, is formed on the whole surface of the substrate 21 by a sputtering method. Then, Au is precipitated and the Au bumps 25 are obtained.

---

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-189606

(43) 公開日 平成10年(1998) 7月21日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 21/321

21/3205

識別記号

F I

H 0 1 L 21/92

21/88

6 0 2 K

T

審査請求 未請求 請求項の数 3 O L (全 4 頁)

(21) 出願番号 特願平8-343007

(22) 出願日 平成8年(1996)12月24日

(71) 出願人 390008855

宮崎沖電気株式会社

宮崎県宮崎郡清武町大字木原727番地

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 神戸 敏文

宮崎県宮崎郡清武町大字木原727番地 宮

崎沖電気株式会社内

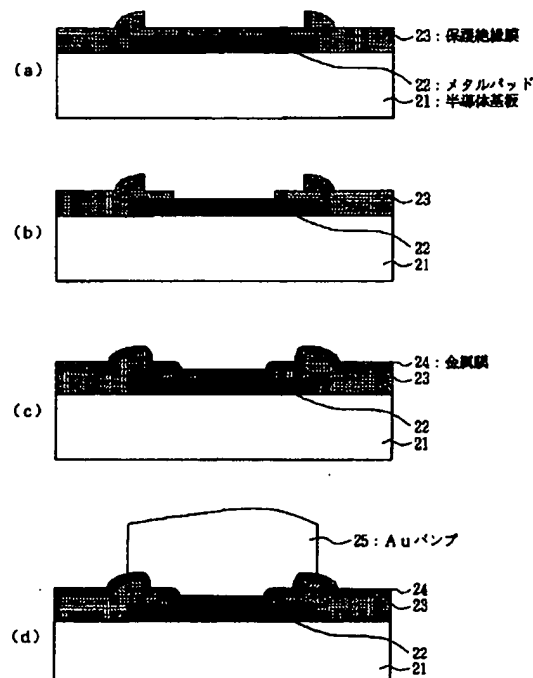
(74) 代理人 弁理士 清水 守 (外1名)

(54) 【発明の名称】 半導体装置のバンパ及びその製造方法

(57) 【要約】

【課題】 被覆性の悪さによって起こるバリアメタルの断線を防止するとともに、バリアメタル生成時、開孔部にストレスが集中するのを防止し、パッシベーション膜の破壊を防止することができる半導体装置のバンパ及びその製造方法を提供する。

【解決手段】 半導体基板21上にメタルパッド22を形成し、半導体基板の全面に保護絶縁膜(パッシベーション膜)23を生成した後、メタルパッド22とAuバンパの接続のための接続孔の形成を行うが、この時、1回目のホトリソ/エッチングで開孔部のパッシベーション膜23を完全にエッチングせず、パッシベーション膜23を残す。その後、1回目の開孔径よりも内側にホトリソ/エッチングを施し、階段状に開孔する。次に、半導体基板全面にスパッタリング法により、Auバンパ用バリアメタル等となる金属膜24を形成する。次に、Auを析出させ、Auバンパ25を得る。



## 【特許請求の範囲】

【請求項1】 半導体装置のバンパにおいて、半導体基板上のメタルパッド上に階段状の接続孔を有する絶縁膜を具備することを特徴とする半導体装置のバンパ。

【請求項2】 半導体装置のバンパの製造方法において、半導体基板上のメタルパッド上に形成される絶縁膜を、接続孔の径の大きさの異なるマスクを複数枚用いて、複数回のホトリソエッチングにより、階段状に開孔することを特徴とする半導体装置のバンパの製造方法。

【請求項3】 請求項2記載の半導体装置のバンパの製造方法において、前記接続孔の径の大きさの異なるマスクを2枚用意し、径の大きいマスクを用いた第1回目のホトリソエッチングにより、前記絶縁膜を所定の深さだけ除去し、次に、径の小さいマスクを用いた第2回目のホトリソエッチングにより、前記絶縁膜の残りを除去して前記絶縁膜を階段状に開孔することを特徴とする半導体装置のバンパの製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置のバンパ構造及びその製造方法に関するものである。

【0002】

【従来の技術】従来、このような分野の技術としては、例えば、以下に示すようなものがあった。図2はかかる従来の半導体装置のAuバンパ形成の工程断面図である。

(1) まず、図2(a)に示すように、半導体基板11上にメタルパッド12を形成し、半導体基板の全面に絶縁膜13(パッシベーション膜)形成後、1回のホトリソ/エッチングによって、メタルパッド12とAuバンパとの接続孔を形成する。その後、半導体基板全面にスパッタリング法により、Auバンパ用バリアメタル等となる金属膜14を形成する。

【0003】(2) 次に、図2(b)に示すように、メタルパッド12上部に所望のバンパ径に相当する大きさにレジスト15をパターンニングし開孔する。次に、金属膜14を電解メッキの一方の電極として、その開孔部のみに選択的にAuを析出させる。

(3) その後、図2(c)に示すように、レジスト15を除去し、柱状Auバンパ16をマスクとして、パッド上部以外の金属膜14をエッチングすることにより、柱状Auバンパ16を得る。

【0004】

【発明が解決しようとする課題】しかしながら、以上した従来の半導体装置におけるAuバンパ形成方法では、メタルパッド12とAuバンパ16との接続孔部の段差が、パッシベーション膜13の膜厚(8000~10000Å)程あるため、この段差でAuバンパ用バリアメ

タル14が断切れを起こしバンパできなかつたり、また、Auバンパ用バリアメタル14のストレスによってパッシベーション膜の破壊に至り、信頼性を低下させるという問題があった。

【0005】本発明は、上記問題点を除去し、被覆性の悪さによって起こるバリアメタルの断線を防止するとともに、バリアメタル生成時、開孔部にストレスが集中するのを防止し、パッシベーション膜の破壊を防止することができる半導体装置のバンパ及びその製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明は、上記目的を達成するために、

〔1〕半導体装置のバンパにおいて、半導体基板上のメタルパッド上に階段状の接続孔を有する絶縁膜を設けるようにしたものである。

〔2〕半導体装置のバンパの製造方法において、半導体基板上のメタルパッド上に形成される絶縁膜を、接続孔の径の大きさの異なるマスクを複数枚用いて、複数回のホトリソエッチングにより、階段状に開孔するようにしたものである。

【0007】〔3〕上記〔2〕記載の半導体装置のバンパの製造方法において、前記接続孔の径の大きさの異なるマスクを2枚用意し、径の大きいマスクを用いた第1回目のホトリソエッチングにより、前記絶縁膜の所定の深さだけ除去し、次に、径の小さいマスクを用いた第2回目のホトリソエッチングにより、前記絶縁膜の残りを除去して前記絶縁膜を階段状に開孔するようにしたものである。

【0008】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照しながら詳細に説明する。図1は本発明の第1実施例を示す半導体装置のAuバンパ形成の工程断面図である。

(1) まず、図1(a)に示すように、半導体基板21上にメタルパッド22を形成し、半導体基板の全面に保護絶縁膜(パッシベーション膜)(8000Å~10000Å)23を生成した後、メタルパッド22とAuバンパの接続のための接続孔の形成を行うが、この時、1回目のホトリソ/エッチングで開孔部のパッシベーション膜を4000Å~5000Å程エッチングする。すなわち、完全にエッチングせず、1/2程度エッチングし、パッシベーション膜23を残す。

【0009】(2) その後、図1(b)に示すように、1回目の開孔径よりも内側にホトリソ/エッチングを施し、階段状に開孔する。

(3) 次に、図1(c)に示すように、半導体基板全面にスパッタリング法により、Auバンパ用バリアメタル等となる金属膜24を形成する。

(4) 次に、メタルパッド22上部に所望のバンパ径に

相当する大きさにレジスト（図示なし）をパターンニングし開孔した後、金属膜24を電解メッキの一方の電極としてその開孔部のみに選択的にAuを析出させる。その後、図1(d)に示すように、レジスト（図示なし）を除去して、Auバンパ25を得る。

【0010】このように、第1実施例では、メタルパッド上部開孔のためのホトリソ/エッチングをそれぞれ2回しか行っていないが、3回以上行ってもよい。図3は本発明の第2実施例を示す半導体装置のAuバンパ形成の要部工程断面図である。

(1) まず、図3(a)に示すように、半導体基板31上にメタルパッド32を形成し、半導体基板の全面に保護絶縁膜（パッシベーション膜）(9000Å~12000Å)33を生成した後、メタルパッド32とAuバンパの接続のための接続孔の形成を行うが、この時、1回目のホトリソ/エッチングで開孔部のパッシベーション膜を3000Å~4000Å程エッチングする。すなわち、1/3程度エッチングし、パッシベーション膜33を残す。

【0011】(2) 次に、図3(b)に示すように、残されたパッシベーション膜33の接続孔に更に段を設けるために、1回目のホトリソ/エッチングで開孔部の内側のパッシベーション膜を、第2回目のホトリソ/エッチングで、更に1/3程度エッチングし、段階状の開孔部を形成する。

(3) 次に、図3(c)に示すように、2回目のホトリソ/エッチングによる開孔径よりも内側に、第3回目のホトリソ/エッチングを施し、完全に開孔部を形成するとともに、3階段状に開孔する。

【0012】(4) 次に、図3(d)に示すように、半導体基板全面にスパッタリング法により、Auバンパ用バリア金属等となる金属膜34を形成する。以降は第1実施例で示した技術によってAuバンパを形成する。図4は本発明の第3実施例を示す半導体装置のAuバンパ形成の要部工程断面図である。

【0013】(1) まず、図4(a)に示すように、半導体基板41上にメタルパッド42を形成し、半導体基板の全面に保護絶縁膜（パッシベーション膜）(8000Å~10000Å)43を生成した後、メタルパッド42とAuバンパの接続のための接続孔の形成を行う。つまり、1回目のホトリソ/エッチングで完全に開孔部を形成する。

【0014】(2) 次に、図4(b)に示すように、その後、1回目のホトリソ/エッチングによる開孔部より外側に、2回目のホトリソ/エッチングで4000Å~5000Å程パッシベーション膜43をエッチングし、段階状に開孔する。

(3) 次に、図4(c)に示すように、半導体基板全面にスパッタリング法により、Auバンパ用バリア金属

等となる金属膜44を形成する。

【0015】以降は第1実施例で示した技術によってAuバンパを形成する。また、上記したように、開孔の順番も外側、内側のどちらからでもよい。エッチングの条件は、内側から先に穴を開ける場合の第2回目のエッチングは、第1回目のエッチングでの穴の形状の変化を防ぐ意味から異方性エッチングを行うことが望ましいが、その他のエッチングにおいては、異方性エッチング、等方性エッチングのいずれを採用してもよい。

【0016】さらに、Auバンパの形成について述べたが、電気めっきが可能な材料であれば、これに限定されるものではない。このように、本発明によれば、パッド上の絶縁膜の開孔部を階段状に形成するようにしたので、メタルパッドとバンパの接続部の段差が、従来構造よりも低減されたことにより、①被覆性の悪さによって起こるバリア金属の断線を防止することができる。②バリア金属生成時の開孔部にストレスが集中するのを防止し、パッシベーション膜の破壊を防止することができる。

【0017】なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

【0018】

【発明の効果】以上、詳細に説明したように、本発明によれば、以下のような効果を奏することができる。

(1) 半導体装置のバンパの形成の際、被覆性の悪さによって起こるバリア金属の断線を防止することができる。

【0019】(2) バリア金属生成時の開孔部にストレスが集中するのを防止し、パッシベーション膜の破壊を防止することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例を示す半導体装置のAuバンパ形成の工程断面図である。

【図2】従来の半導体装置のAuバンパ形成の工程断面図である。

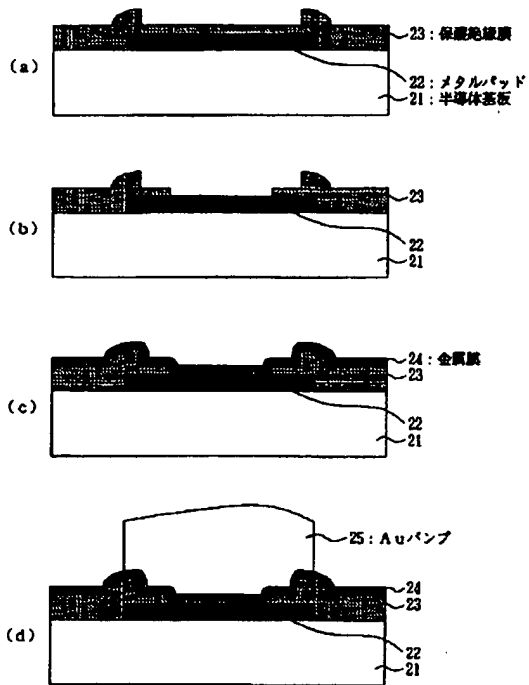
【図3】本発明の第2実施例を示す半導体装置のAuバンパ形成の要部工程断面図である。

【図4】本発明の第3実施例を示す半導体装置のAuバンパ形成の要部工程断面図である。

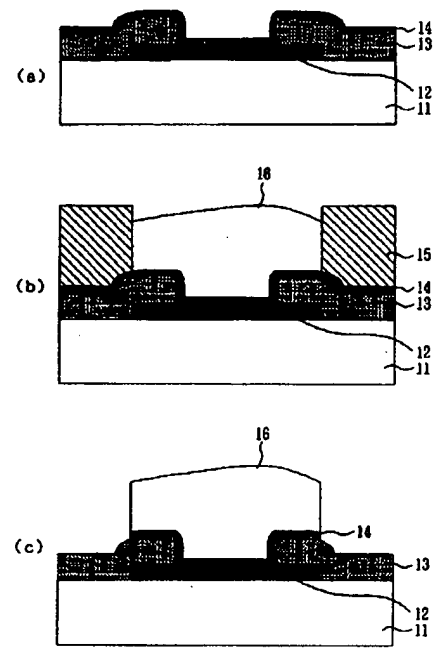
【符号の説明】

21, 31, 41	半導体基板
22, 32, 42	メタルパッド
23, 33, 43	保護絶縁膜（パッシベーション膜）
24, 34, 44	金属膜（バリア金属）
25	Auバンパ

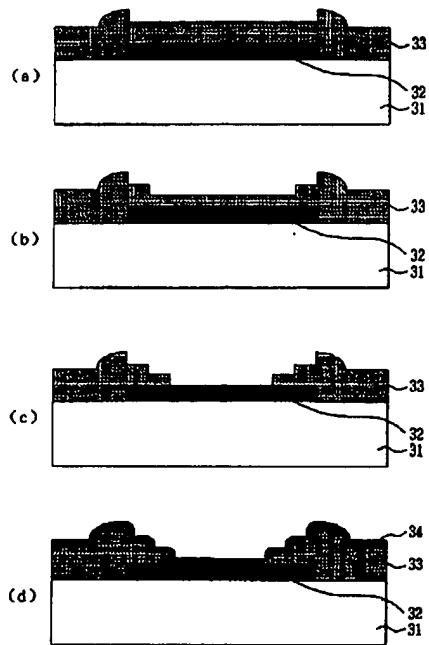
【図1】



【図2】



【図3】



【図4】

